

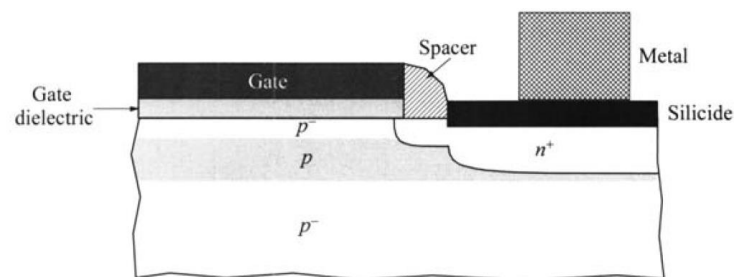
הרצאה 8- טרנזיסטורים מתקדמים

עד לפני 15 שנים בערך הטרנזיסטור השטוח, זה הבנוי מתוך המשטח הקדמי של פרוסת סיליקון היה סוס העבודה המרכזי של תעשיית האלקטרוניקה. כמו שדובר בהרצאות הקודמות, התפתחות התעשייה התבססה על מזעור של טרנזיסטורים אלו, ובפרט קיצור התעלה-המרחק בין ה-source וה-drain. עם השנים, היה ברור כי יהיה קשה מאוד להמשיך בצורה זו וכי יש צורך בשינוי משמעותי במבנה הטרנזיסטור. בין הקשיים שאפשר למנות בהמשך מזעור הטרנזיסטורים, אפשר למנות את הרגישות לשינוי סטטיסטי בריכוז המזהמים בתעלה ובמטען פני השטח, תופעות התעלה הקצרה (עליהן דיברנו בהרצאה הקודמת), מגבלת קיבול של השער בגלל תופעות קוואנטיות הנוגעות לגודל התעלה והתנגדות טורית של ה-source וה-drain.

במהלך השנים הוצעו מבנים שונים שמטרתם לצמצם את השפעות התעלה הקצרה ולשפר את הבצעים של טרנזיסטורים. בהרצאה זו נתמקד בשינויים שניתן לעשות בחלקים שונים בטרנזיסטור- התפלגות המזהמים בתעלה, מבנה השכבות בשער, ותכנון ה- source וה- drain. לבסוף נתבונן במבנים המאפשרים להגיע לביצועים הטובים ביותר וכאלו המשמשים לאפליקציות ספציפיות.

התפלגות המזהמים בתעלה

איור 1 מציג באופן סכמתי את המבנה של טרנזיסטור MOSFET עם ביצועים חזקים המבוסס על טכנולוגיה משטחית. להתפלגות המזהמים בתעלה יש מקסימום מעט מתחת לפני השטח. ניתן ליצור התפלגות כזו בעזרת השתלת יונים בכמה מנות עם אנרגיות השתלה שונות. ריכוז המזהמים הנמוך בפני השטח מאפשר מתח הסף נמוך יותר וכן מוביליות גבוהה יותר שכן השדה חשמלי הניצב בפני השטח נמוך יותר. מטרת השכבה עם הסימום הגבוה יותר היא למצמצם תופעות של תעלה קצרה ו-punch through. שכבה זו נמשכת עד לעומק הגדול מעומק הצומת עם אזורי ה-source וה-drain. מתחת לשכבה זו המצע מסומם באופן חלש יותר על מנת להקטין את הקיבול של הצומת וכן בשביל להקטין את השפעת מתח המצע על מתח הסף.



איור 1: טרנזיסטור MOSFET משטחי עם התפלגות מזהמים מסוג "נמוך-גבוה", צומת source/drain עם שתי מדרגות ומגע source-drain מסוג סיליסייד (silicide) עם סידור עצמי (self-aligned).

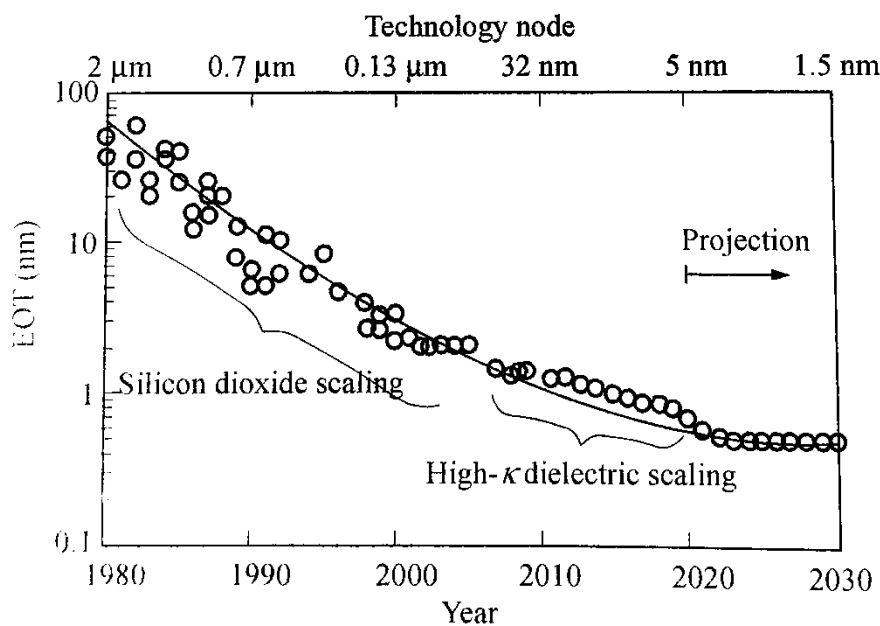
תכנון השכבות בשער

השער בנוי משכבה של חומר דיאלקטרי והמגע אליו. עד לאמצע שנות האלפיים כל הטרנזיסטורים היו מבוססים על שער מתחמוצת סיליקון (SiO_2) בגלל הממשק המוצלח בינה לבין סיליקון (מעט פגמים ומצבי פני שטח). למעשה, הממשק המוצלח הזה מהווה את אחת מהסיבות שטרנזיסטורים אלו מוצלחים כל כך. כאשר עובי שכבת התחמוצת ירד לכ- 2 nm ופחות מכך, תופעות פיסיקליות בסיסיות, כמו מינהור, ובעיות טכנולוגיות כמו פגמים בפני השטח מנעו את המשך התפתחות הטרנזיסטורים והעלו את הצורך בהחלפת התחמוצת. הפתרון לכך נמצא בשימוש בתחמוצת בעלת מקדם דיאלקטרי גבוה (high K dielectric). על ידי שימוש בחומרים עם מקדם דיאלקטרי גבוה ניתן להשתמש בשכבות עבות יותר תוך שמירה על הקיבול של השער. על כן, חומרים אלו אפשרו להקטין את השדה החשמלי בשכבת התחמוצת, ולצמצם בעיות הקשורות לפגמים בגלל שכבות דקות מידי. לצורך כך נבחנו חומרים שונים כמו TiO_2 , Al_2O_3 , HfO_2 , ZrO_2 , Y_2O_3 , La_2O_3 , Ta_2O_5 . על מנת לגדל את השכבות הדקות של התחמוצת, נעשה שימוש בשיטת גידול בשם Atomic Layer Deposition (ALD) אשר מאפשרת ציפוי קונפורמי של מבנים שכבה אטומית אחת אחרי השנייה. בצורה זו ניתן ליצור ציפויים אחידים גם של מבנים מורכבים יותר עם יחסית מעט פגמים.

מקובל להשתמש בפרמטר EOT- equivalent oxide thickness על מנת לתאר את השפעת התחמוצת על קיבול הטרנזיסטור:

$$EOT = d_i \frac{\epsilon_{SiO_2}}{\epsilon_i} \quad (1)$$

כאשר d_i הוא עובי התחמוצת בפועל, ϵ_i הוא המקדם הדיאלקטרי שלה. החל משנת 2007 אינטל החלה להשתמש ב- HfO_2 (עם מקדם דיאלקטרי של 25 לעומת 3.9 בתחמוצת סיליקון). בגלל ההבדל הגדול במקדם הדיאלקטרי, הקיבול של שער עם שכבת HfO_2 בעובי של 6.4 ננומטר אקוויולנטי לשער עם שכבה בעובי של ננומטר בודד מ- SiO_2 (עובי שבו תופעות של מנהור קוונטי כבר משפיעות באופן משמעותי). איור 2 מציג את ה- EOT עבור טכנולוגיות טרנזיסטורים שונות לאורך השנים. למרות השיפור הניכר ב- EOT, תהליכים קוואנטיים כמו מנהור מגבילים את העובי המינימאלי של שכבת התחמוצת. כתוצאה מכך הירידה בעובי שכבת התחמוצת כמעט ונעצרה מאז טכנולוגיית ה- 16 ננומטר שכן המשך הקטנת עובי התחמוצת גוררת עלייה אקספוננציאלית בזרם המנהור.

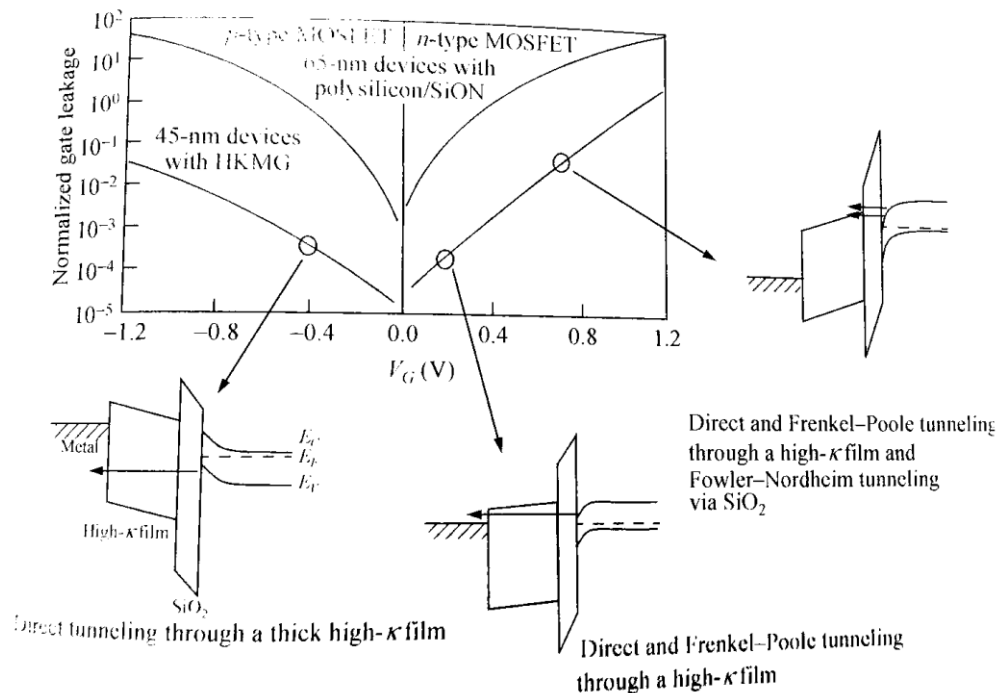


איור 2: EOT עבור טכנולוגיות טרנזיסטורים שונות לאורך השנים

במשך זמן רב היה השער עצמו עשוי מפולי-סיליקון. היתרונות בפולי-סיליקון כוללים תאימות להתליכי ייצור אחרים בסיליקון ועמידות להרפיה בטמפרטורה גבוהה אשר דרושה אחרי השתלת יונים עם סידור עצמי עבור ה- source וה- drain (נסביר מהם תהליכים עם סידור עצמי בהמשך). יתרון נוסף נעוץ בכך שניתן לכוון את פונקציית העבודה של הפולי-סיליקון על ידי סימום שלו. גמישות זו היא הכרחית עבור טכנולוגיית CMOS סימטרית. המגבלה העיקרית של שימוש בפולי סיליקון היא ההתנגדות האוהמית שלו. מאחר והשער בנוי מקבל ומהמגע אליו, להתנגדות זו אין השפעה על הביצועים של הטרנזיסטור במצב DC, אך היא מגדירה את קבוע ה- RC של השער ועל ידי כך את התדר המקסימלי בו הטרנזיסטור יכול לעבוד וכן על רמת הרעש עמה הטרנזיסטור יכול להתמודד בהצלחה. חיסרון נוסף שיש לפולי סיליקון הוא שמאחר ומדובר במוליך למחצה, יש עובי סופי לשכבת המיחסור שיש בו בממשק עם התחמוצת. עובי זה מקטין את הקיבול האפקטיבי של השער, אפקט שהופך משמעותי יותר ככך ששכבת התחמוצת נעשית דקה יותר. על מנת לעקוף את מגבלות אלו, הפולי-סיליקון הוחלף במתכות שונות או ב- silicides לדוגמה - TiN, TaN, W, Mo, NiSi.

השילוב של מגע מתכתי יחד עם תחמוצת בעלת מקדם דיאלקטרי גבוה (high K/ metal gate- HKMG) מאפשר גם להקטין באופן משמעותי את זרמי המינהור דרך השער. איור 3 מתאר את זרמי המינהור דרך השער בטכנולוגיית 65 ננומטר עם שער פולי-סיליקון ותחמוצת סיליקון ו- 45 ננומטר עם שער

מתכתי ותחמוצת בעלת מקדם דיאלקטרי גבוה. השדה הנמוך יותר בשכבת התחמוצת מאפשר צמצום של מינהור דרכה.

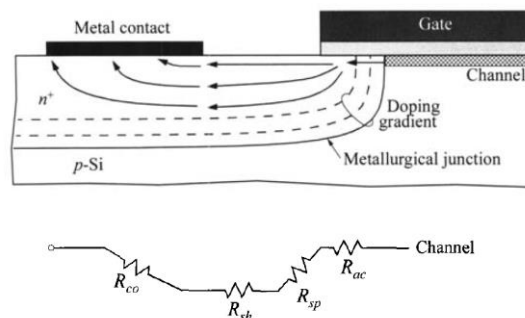


איור 3: זרמי המינהור דרך השער בטכנולוגית 65 ננומטר עם שער פולי-סיליקון ותחמוצת סיליקון ו-45 ננומטר עם שער מתכתי ותחמוצת בעלת מקדם דיאלקטרי גבוה. השדה הנמוך יותר בשכבת התחמוצת מאפשר צמצום של מינהור דרכה.

תכנון ה-source וה-drain

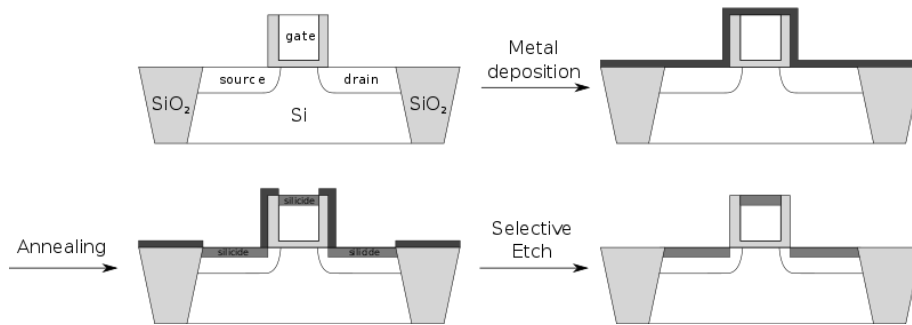
איור 1 מציג את מבנה ה-source וה-drain. בדרך כלל יש לצומת שני חלקים. החלק אשר מתארך אל כיוון התעלה הוא בעומק נמוך יותר על מנת לצמצם אפקטים של צומת קצרה. לפעמים אזור זה מסומם חלש יותר על מנת להקטין את השדה החשמלי האורכי בכדי להקטין תופעות של אלקטרונים חמים ואת הנזקים שהם גורמים. מסיבה זו, drain כזה מכונה lightly doped drain (LDD). הצומת העמוקה יותר רחוק יותר מהתעלה עוזרת להקטין את ההתנגדות הטורית.

הראו בעבר ששינוי חד בריכוז המזהמים ב-source וב-drain הוא קריטי בכדי למזער את ההתנגדות הטורית שלהם. איור 4 מציג את התרומות להתנגדות הפרזיטית ב-source וב-drain. R_{ac} היא התנגדות שכבת האקומולציה, R_{sp} היא התנגדות ההתפרסות (spreading resistance), R_{sh} היא התנגדות המשטחית (sheet resistance), ו- R_{co} היא התנגדות כל הנפח של ה-source או ה-drain.



איור 4: תיאור של רכיבי התנגדות הפרזיטיות ב-source וב-drain. R_{ac} היא התנגדות שכבת האקומולציה, R_{sp} היא התנגדות ההתפרסות (spreading resistance), R_{sh} היא התנגדות המשטחית (sheet resistance), ו- R_{co} היא התנגדות המגע.

בתחילת שנות ה-90 הייתה התפתחות משמעותית בפיתוח טכנולוגיות סיליסייד עבור מגעי ה-source וה-drain. בניגוד למגעי מתכת, ניתן ליצור מגעי סיליסייד בתהליך עם סידור עצמי (self-aligned) אשר מאפשר להצמיד את ה-source וה-drain לחוצץ של השער (spacer באורך 1) ועל ידי כך לצמצם את ההתנגדות המשטחית (R_{sh}) בין המגע והתעלה. בתהליך זה, הסיליסייד משמש כמגע בגלל שהתנגדות המגע בין סיליסייד ומתכת היא מאוד נמוכה. תהליך זה של self-aligned silicide נקרא גם פעמים רבות salicide. איור 5 מציג את העקרונות הבסיסיים של תהליך זה. בתהליך זה, אחרי הגדרת מיקום השער, יוצרים את החוצצים משני צידי השער. כעת, המתכת שעתידיה לעבור תהליך של סיליסידיציה (silicidation) משוקעת בצורה אחידה בצורה שמקצרת בין ה-source וה-drain והשער. כעת, על ידי חימום לטמפרטורה של כ-450°C, המתכת תגיב עם הסיליקון ליצירת סיליסייד ליצירת ה-source וה-drain. ניתן ליצור שכבת סיליסייד על השער בתנאי שאזור זה לא מכוסה בתחמוצת כחלק מסדרת השכבות המרכיבה את השער. עם זאת, המתכת באזור החוצץ, ובין הטרנזיסטורים לא משתנה מאחר והיא לא חשופה לסיליקון אשר יוצר את התגובה הכימית. ניתן להוריד את שכבות המתכת הזו בעזרת איכול סלקטיבי כימי אשר מסיר מתכות אך לא פוגע בסיליסייד. יש לציין כי הממשק בין הסיליסייד והסיליקון נמצא מעט מתחת פני השטח כמתואר באיור 1. הסיבה לכך היא הצריכה של סיליקון בתהליך התגובה הכימית אשר יוצרת את הסיליסייד. דוגמאות לסיליסיידים: CoSi_2 , NiSi_2 , TiSi_2 ו- PtSi .



איור 5: תהליך סיליסידיציה של מגעי ה-source וה-drain עם יישור עצמי.

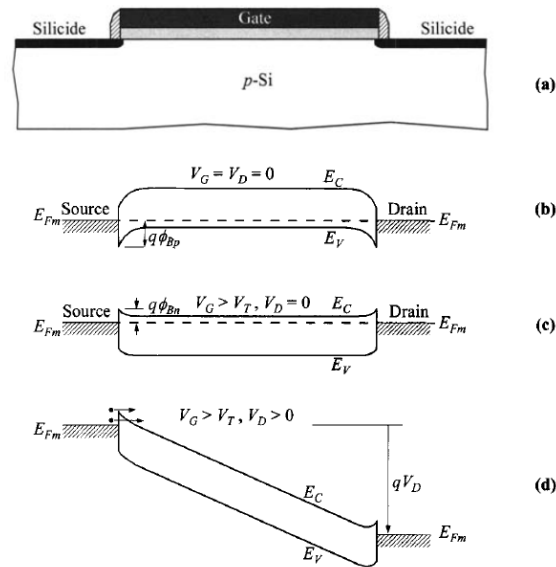
Source ו-Drain מבוססי מגע שוטקי

החלפה של צמתי ה-n-p שב-source וה-drain במגעי שוטקי יכולה להוביל למספר יתרונות הן בביצועים והן בייצור. איור 6 מציג באופן סכמתי את המבנה של טרנזיסטור MOSFET מבוסס על מגעי שוטקי. בצורה זו, עומק הצומת יכול להגיע כמעט ל-0 ועל ידי כך לצמצם את השפעות הצומת הקצר. בנוסף, גם טרנזיסטור ה-BJT הפרזיטי לא קיים במצב זה ועל כן, תופעות לא רצויות כגון פריצה ו-CMOS latch-up מתבטלות (latch up) תופעה במעגל CMOS משולב בה מבני טרנזיסטורים פרזיטיים יוצרים קצר בין נקודות שונות במעגל, כמו למשל בין מתח ההזנה לאדמה). בנוסף, השימוש במגעים אלו חוסך את הצורך בתהליכי הרפייה בטמפרטורה גבוהה מאוד מה שמאפשר להגיע לאיכות טובה יותר של שכבת התחמוצת ושליטה טובה יותר בגיאומטריה. כמו כן, מגעים מסוג זה מאפשרים ליצור טרנזיסטורים מחומרים כמו CdS מהם קשה מאוד ליצור צמת p-n.

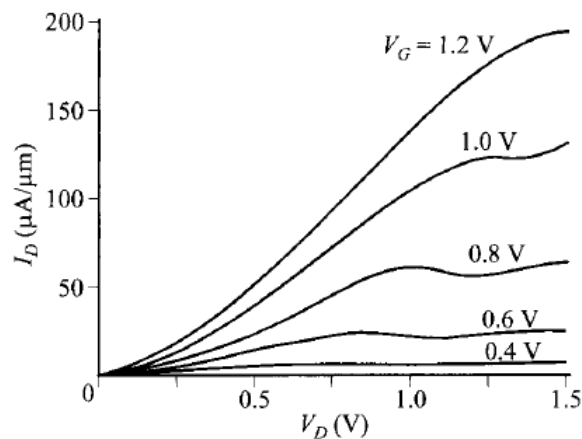
איור 6 b-d מציג את דיאגרמת הפסים של הטרנזיסטור תחת נקודות עבודה שונות. במצב של שיווי משקל $V_D = V_G = 0V$, גובה המחסום לחורים בין המתכת והמצע (מסוג p) הוא $q\phi_{Bp}$ (לדוגמה 0.84eV עבור צומת ErSi-Si). כאשר מתח השער גבוה ממתח הסף ויש שכבת היפוך בפני השטח של ההתקן, גובה המחסום לאלקטרונים הוא $q\phi_{Bn} = 0.28 \text{ eV}$ (איור 6c). כאשר מתח ה-drain גדול מ-0, מגע ה-source נמצא בממתח הפוך (איור 6d) ועל כן, גובה המחסום לאלקטרונים לא משתנה. במצב זה, עבור גובה מחסום של 0.28eV, זרם הרוויה כתוצאה מפליטה תרמוניית מעל המחסום יכול להגיע ל- 10^3 A/cm^2 בטמפרטורת החדר. על מנת להגדיל עוד יותר את הזרם, יש לבחור מתכות כך שגובה המחסום לנשאי רוב (חורים באיור 6) יהיה מקסימלי וגובה המחסום לנשאי מיעוט יהיה מינימלי. מינהור דרך המחסום יכול גם לשפר את ביצועי הטרנזיסטור. מכיוון שיש יותר מתכות המסוגלות ליצור צמתיים

עם מחסום גבוה במצע מסוג n (ותעלה מסוג p), מבנים כאלו יותר שכיחים מאשר מגעי שוטקי עבור מצע מסוג p ותעלה מסוג n.

על כן, החסרונות העיקריים של טרנזיסטורים עם מגע שוטקי הוא ההתנגדות הטורית כתוצאה ממחסום הפוטנציאל, וכן זרמי הזליגה שיש להם. איור 7 מצג את אופייני המתח-זרם של טרנזיסטור בעל מגעי שוטקי עבור ה- source וה- drain. קל לראות כי ישנה עלייה מתונה בזרם עבור מתחי drain נמוכים. בנוסף, כפי שניתן לראות באיור 6, שכבת מגע הסיליסייד מגיעה עד מתחת לחוצצים של השער. תהליך הייצור המאפשר זאת הוא מורכב בהרבה מאשר יצירת צומת n-p ב- source וה- drain אשר מיוצרים גם כן בתהליך השתלת יונים עם סידור עצמי ודיפוזיה.



איור 6: MOSFET עם מגעי Schottky. תמונות חתך (a), דיאגרמות פסים בסמוך לפני השטח של ההתקן תחת רמות מתח שונות (b-d).

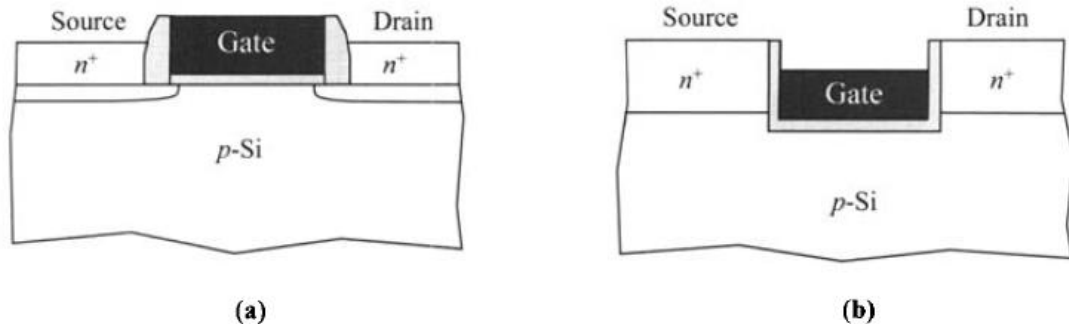


איור 7: אופייני המתח-זרם של טרנזיסטור בעל source ו- drain עשויים ממגעי שוטקי.

Source ו- Drain מוגבהים

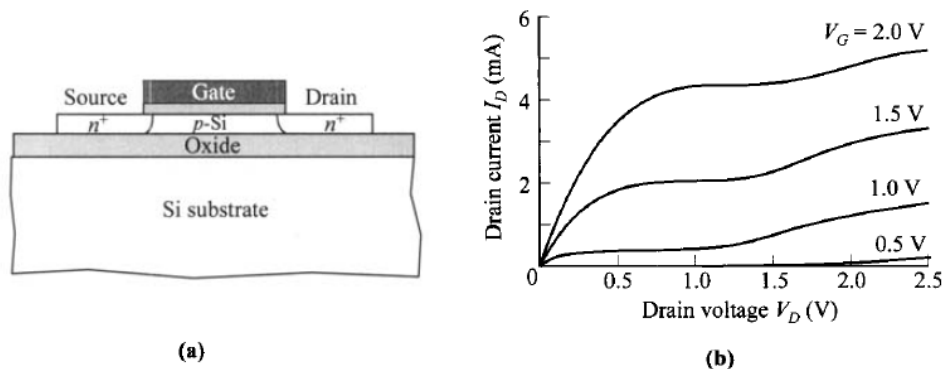
כפי שראינו בהרצאות קודמות, ניתן לצמצם את התופעות של הצומת הקצר על ידי הקטנת עומק הצמתים. לשם כך, ניתן להגביה את אזורי ה- source וה- drain בעזרת גידול אפיטקסיאלי של שכבות מסוממות חזק על הפרוסה (איור 8a). גם במקרה הזה יש צורך להאריך את אזורי ה- drain וה- source אל מתחת לחוצצים על מנת לשמור על רציפות של התעלה. אפשרות נוספת היא ליצור תעלה שקועה

כמתואר באיור 8b. כפי שניתן לראות, במקרה הזה עומק הצומת, x_j , הוא למעשה שלילי. החיסרון העיקרי במבנים בעלי תעלה שקועה, במיוחד בהתקנים בעלי שער באורך של פחות ממיקרון, הוא הקושי בשליטה במבנה האזור השקוע ובעובי שכבת התחמוצת בפניות שם למעשה נקבע מתח הסף. באזורים אלו יש גם סכנה גדולה יותר לטעינה של פני השטח בגלל הזרקה של נשאי מטען חמים.



איור 8: טרנזיסטור בעל source ו-drain מורמים (a), ובעל תעלה שקועה (b).

SOI, וטרנזיסטורים משכבות דקות (Thin Film Transistors- TFT) Silicon On Insulator (SOI) הוא פרוסה של סיליקון בה יש שכבת מבודד ומעליה שכבה עליונה של סיליקון חד גביש באיכות גבוהה, המתאים להתקנים עם ביצועים גבוהים ומעגלים משולבים בצפיפות גבוהה. לאורך השנים ייצרו מספר רב של פרוסות SOI מסוגים שונים כמו Silicon on oxide, silicon on sapphire (SOS), silicon on zirconia (SOZ), silicon on nothing ואפילו SOI. סיליקון חד גביש מגודל אפיטקסיאלית מעל מצע מבודד כמו Al_2O_3 עבור SOS, או ZrO_2 עבור SOZ. הקושי בטכנולוגיות אלו נובע מאיכות החומר כאשר שכבת הסיליקון דקה מאוד. עם זאת, רובן המוחלט של פרוסות ה-SOI מבוססות על שכבת תחמוצת סיליקון כמבודד. פרוסות אלו מורכבות ממצע סיליקון רגיל אשר מעליו יש את שכבות התחמוצת וה-SOI. יש דרכים רבות ליצור מבנים כאלו. לדוגמה- SIMOX (separation by implantation of oxygen), בה מנה גדולה של חמצן מושתלת אל תוך הסיליקון ולאחריה מבצעים הרפיה בטמפרטורה גבוהה על מנת ליצור שכבת SiO_2 הקבורה מתחת לפני השטח. שיטה נוספת כוללת חיבור של שתי פרוסות סיליקון אחת לשנייה, אשר לאחת מהן יש שכבת תחמוצת כשכבה עליונה. בשלב שני יש לדקק או להסיר את רוב הסיליקון מהפרוסה העליונה כך שנשארת רק פרוסת סיליקון דקה. דרך נוספת ליצור פרוסות SOI היא לפתוח פתח בשכבת התחמוצת ואז להשתמש בפתח זה כזרע seed לגידול רוחבי של סיליקון חד גביש. ניתן גם לגדל סיליקון אמורפי על גבי שכבת תחמוצת ואז לגרום להתגבשות שלו בעזרת תהליך של laser recrystallization. תהליך זה יהפוך את הסיליקון האמורפי לסיליקון חד גביש או לסיליקון רב גביש עם גרעיני גביש גדולים. איור 9a מתאר מבנה סכמתי של טרנזיסטור המבוסס על מצע SOI. איור 9b מציג עקומות מתח זרם אופייניות להתקן מסוג זה. קל לראות את תופעת ה-kink אשר גורמת לעלייה בזרם מעל למתח הרוויה.



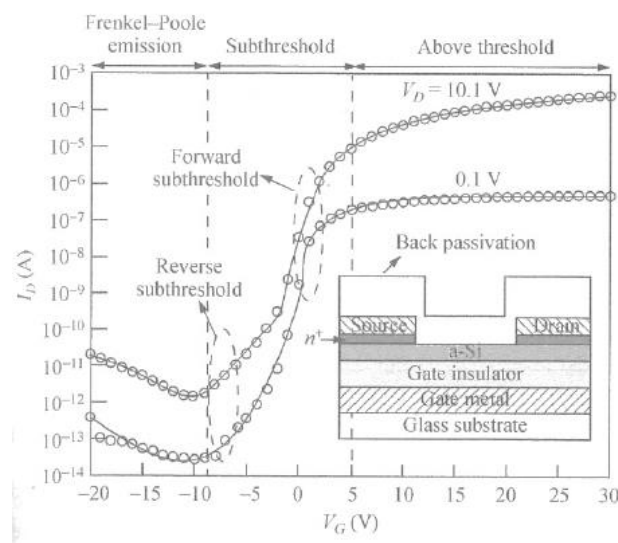
איור 9: טרנזיסטור MOSFET על SOI: מבנה סכמתי (a), ועקומות מתח זרם אופייניות (b).

להתקנים המבוססים על SOI יש יתרונות רבים. המזעור שלהם קל יותר בגלל ה-body הדק שלהם. עובי השכבה הדקה גם למעשה מבטל לחלוטין את רוב הפריצות מסוג punch through כך שניתן לסמם את התעלה בסימום הרבה יותר נמוך. בנוסף, ה-subthreshold swing יותר נמוך בהתקנים מסוג זה. שכבת התחמוצת הקבורה (buried oxide) מקטינה את הקיבול של המצע ועל ידי כך מאפשרת עבודה מהירה יותר של ההתקנים. בנוסף לכך, כפי שניתן לראות באיור 9a, ניתן לבדוד בין התקנים סמוכים על SOI פשוט על ידי הסרה של הסיליקון מסביב להתקן. כתוצאה מכך, ניתן להגדיל באופן משמעותי את צפיפות הטרנזיסטורים במעגל. בידוד זה, בניגוד לבידוד בעזרת צמתי n-p, מונע תופעות של latch-up במעגל. המגבלות העיקריות של מצעי SOI הן המחיר שלהן, איכות סיליקון שהיא לפעמים נחותה יותר מאשר סיליקון בפרוסה רגילה, תופעת ה-kink, ופיזור חום פחות טוב בגלל שכבת התחמוצת.

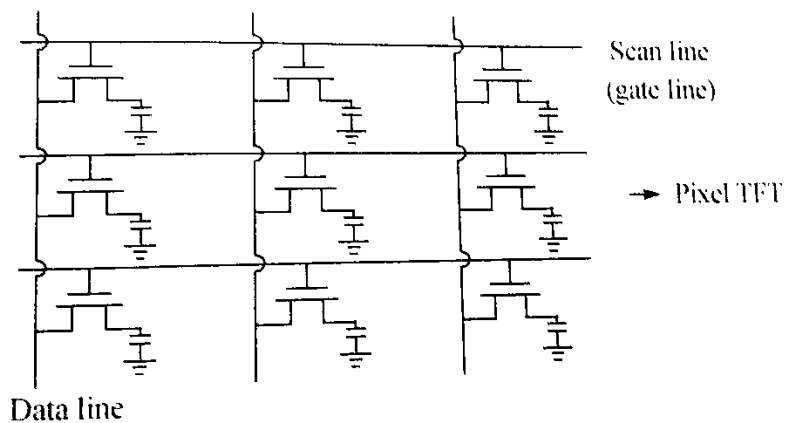
כאשר מדברים על thin film transistors (TFT), הכוונה היא לטרנזיסטורי MOSFET המבוססים על שכבה דקה של מוליך למחצה ששוקעה על מצע מכל סוג שהוא. מאחר ותהליכי שיקוע (deposition) לא יוצרים מוליך למחצה חד גביש, למל"מ במבנים אלו יהיו יותר פגמים מאשר במל"מ חד גביש וכתוצאה מכך גם תהליכי ההולכה יהיו מורכבים יותר. על מנת לשפר את ביצועי ההתקנים ואת ההדירות והאמינות שלהם, יש להוריד את ריכוז המלכודות בפני השטח של המל"מ ובתוכו. בנוסף, ב-TFT, הזרם תמיד מוגבל בגלל מוביליות נמוכה וזרמי הזליגה תמיד גבוהים יותר בגלל ריכוז הפגמים הגבוה.

ישנם חומרים רבים אשר יכולים להתאים ליצירת TFT, אך סיליקון אמורפי הוא המקובל ביותר בגלל עלויות הייצור הנמוכות שלו. בניגוד לטרנזיסטורים רגילים בהם אזור התעלה מסומם p או n, בטרנזיסטורים אלו, האזור הזה יישאר אינטרינזי. הסיבה לכך היא שהמוביליות של החומר הנמוכה וכל עלייה בסימום תפגע בה עוד יותר. איור 10 מציג את המבנה של טרנזיסטור TFT עשוי סיליקון אמורפי על מצע זכוכית ואת עקומות המתח-זרם שלו. נשים לב כי לטרנזיסטור זה מבנה הזה הפוך שכן השער מגודל קודם על המצע והשכבות האחרות מגודלות מעליו. בגלל מבנה הטרנזיסטור ישנו זרם זליגה אשר עולה אקספוננציאלית במתחים שלילים. מנגנון ההולכה אשר גורם לזליגה זו נקרא Frenkel-Poole transport ונדון בהרחבה כאשר נעסוק בזיכרונות. המתח בו זרמים אלו מתחילים מכונה מתח סף אחורי.

השימוש העיקרי בהתקנים אלו הוא כאשר יש צורך במצע גמיש או גדול במיוחד אז תהליכים רגילים על מוליכים למחצה לא מתאימים. לדוגמה, טרנזיסטורים מבוססים סיליקון אמורפי משמשים לשליטה ב-LED או ב-liquid crystals אשר מרכיבים את הפיקסלים במסכים דקים. בדרך כלל, טרנזיסטורים כאלו יהיו מסודרים במטריצה בה קו הסריקה שולט במתח השער ואילו מתח ה-drain נקבע על ידי קו המידע. מעגל זה מתואר באיור 11. במקרים כאלו, ביצועי ההתקנים, כמו מהירות או זרם היא פחות משמעותית. התקנים אלו מתאימים מאוד גם לאלקטרוניקה גמישה שכן ניתן לייצר אותם בתהליכים זולים בטמפרטורה נמוכה.



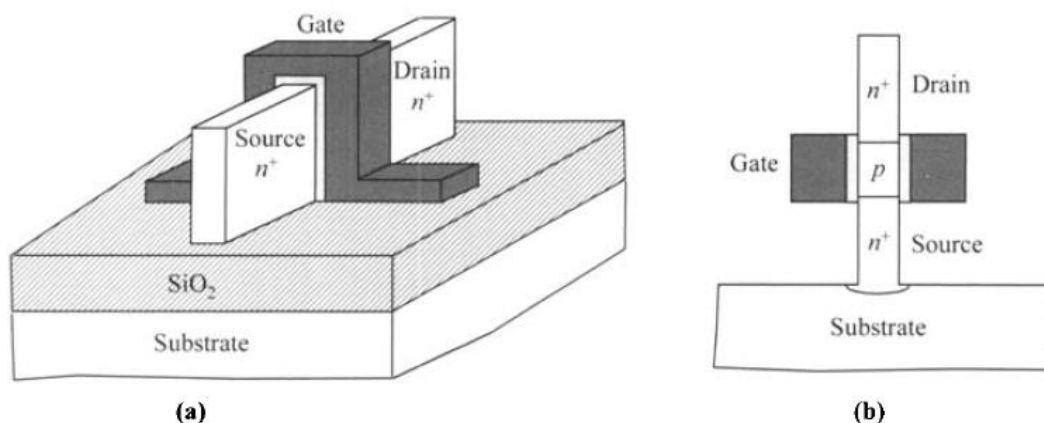
איור 10: עקומות מתח זרם של טרנזיסטור TFT עשוי סיליקון אמורפי והמבנה שלו.



איור 11: מבנה מטריצה של TFT עבור מסך דק.

התקנים תלת ממדיים

כאשר ממזערים התקנים, המבנה האופטימלי בנוי מ-MOSFET בעל body כל כך דק עד שהוא ממוחסר לחלוטין מנשאי מטען תחת כל מתחי העבודה. דרך אחת להגיע למיחסור כזה בצורה יעילה היא על ידי מבנה תלת ממדי בו השער מקיף את התעלה מכמה כיוונים. איור 12 מציג שתי דוגמאות לטרנזיסטורים תלת ממדיים שכאלו. ניתן לסווג אותם על פי כיוון זרימת הזרם בהם- אנכית או אופקית. אמנם ייצור של שני סוגי ההתקנים מהווה אתגר משמעותי, המבנה האופקי מתאים יותר לייצור בטכנולוגיית SOI ואכן, טכנולוגיית ה-22 ננומטר של אינטל משנת 2011 כבר מבוססת על התקנים אלו וכן טכנולוגיית ה-16 ננומטר של TSMC משנת 2013. בגלל צורתם המזכירה ספיר, טרנזיסטורים אלו מכונים FinFet. ייצור טרנזיסטורים אלו כרוך בכמה אתגרים חדשים אשר נובעים מכך שכמעט כל התעלה נמצאת על קיר אנכי. על כן, נדרש ליצור מבנים אלו עם פני שטח חלקים כמה שיותר. גם ייצור צומתי ה-source וה-drain בעזרת השתלת יונים הוא מורכב וכן השימוש בסיליסייד.

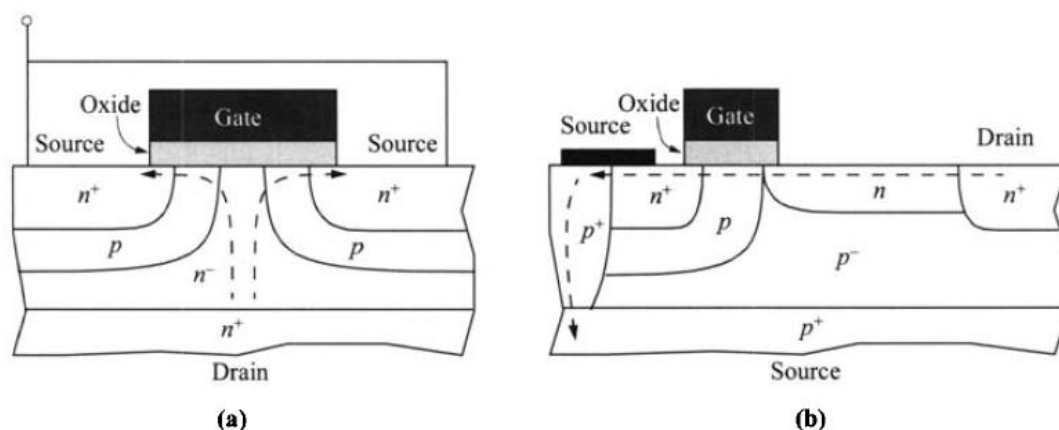


איור 12: תיאורים סכמתיים של טרנזיסטורים תלת ממדיים. טרנזיסטור בעל זרימה אופקית (a), וטרנזיסטור בעל זרימה אנכית (b). בשני הטרנזיסטורים השער מקיף את התעלה מכמה כיוונים.

טרנזיסטורים להספק גבוה (העשרה)

בדרך כלל, לטרנזיסטורים להעברת הספק גבוה יש שכבות תחמוצת עבות יותר, צמתיים עמוקים יותר וארוכים יותר. כתוצאה מכך המהירות וה-transconductance שלהם נמוכים יותר. עם זאת, ישנה דרישה גודלת לטרנזיסטורים לשימושים הכוללים הספק גבוה. לדוגמא, בטלפונים סלולריים ותחנות סלולריות אשר דורשים מתחים גבוהים. נתמקד בשני סוגי טרנזיסטורים אשר משמשים להעברת הספק ב-RF.

Double diffused MOS (DMOS) הוא טרנזיסטור בו אורך התעלה נקבע על ידי קצב הדיפוזיה הגבוה יותר של המזהם מסוג p (לדוגמא, בורון) בהשוואה למזהם מסוג n (לדוגמא זרחון) אשר מגדיר את ה-source. שיטה זו מאפשרת להגדיר תעלות קצרות מאוד ללא צורך בליטוגרפיה מאוד מדויקת. הדיפוזיה של המזהם מסוג p משמשת להגדרת הסימום בתעלה ומאפשרת שליטה טובה בפרמטרים של ה-punch through. לאחר הגדרת התעלה, נעשה תהליך דיפוזיה של אזור סחיפה המסומם n חלש. אזור זה ארוך ביחס לתעלה והוא מקטין למינימום את השדה החשמלי באזור על ידי שמירה על שדה חשמלי אחיד. איור a13 מציג באופן סכמתי את המבנה של טרנזיסטור DMOS. הקו המקווקו מתאר את נתיב זרימת הזרם. בהתקנים אלו, בדרך כלל ה-drain נמצא במגע המצע והשדה בסביבתו קרוב לשדה באזור הסחיפה. מבנה זה עוזר לצמצם תופעות של Avalanche breakdown, multiplication ו-טעינה של שכבת התחמוצת. חסרון משמעותי בהתקני DMOS הוא שקשה יותר לשלוט במתח הסף שלהם שכן התפלגות המזהמים לאורך התעלה היא לא אחידה. מאחר ומתח הסף נקבע על ידי ריכוז המזהמים המקומי קרוב לפני השטח, שינויים בריכוז המזהמים מובילים לשינויים במתח הסף כתלות במיקום של המזהמים והמתח המופעל. נציין כי ניתן לצמצם תופעות של punch through, על ידי שכבה דקה מסוג p. אך שכבה זו דורשת סימום גבוה ביחס למבנים הסטנדרטיים והיא מובילה להתנהגות פחות טובה כאשר הטרנזיסטור סגור.



איור 13: טרנזיסטורים להעברת הספק גבוה - (a) DMOS, ו- (b) LDMOS. נתיב הזרם מסומן על ידי קו מקווקו. ב-LDMOS מקובל לחבר את ה-source למצע על מנת למצמצם השראות פרזיטית של חיווט.

בניגוד לטרנזיסטור DMOS בו הזרם זורם בניצב לפני השטח של הפרוסה, בטרנזיסטור מסוג LDMOS (laterally diffused MOS) הזרם זורם במקביל לפני השטח ושכבת סחיפת המטען היא משטחית. איור b13 מראה תיאור סכמתי של טרנזיסטור זה. מבנה זה מאפשר להשתמש במצע המסומם p^+ ועל ידי כך ליצור מיחסור מלא של שכבת סחיפת המטען כאשר מתח ה-drain גבוה. כאשר מתח ה-drain גבוה, אזור זה ממוחסר לחלוטין ועל כן הוא יכול לתמוך במפל מתח גבוה עליו. עם זאת, כאשר מתח ה-drain נמוך, הסימום הגבוה של המצע מאפשר התנגדות טורית נמוכה יותר. על כן, אזור סחיפת המטען מתנהג כנגד לא ליניארי אשר ההתנגדות שלו נקבעת על ידי $1/nq\mu$. שיטת פעולה זו נקראת reduced surface field technology (RESURF). בזכות עקרונות אלו, אזור הסחיפה יכול להיות מסומם בריכוז גבוה יותר מאשר ב-DMOS ולפעול עם התנגדות נמוכה יותר כאשר הטרנזיסטור פתוח. יתרון נוסף שיש ל-LDMOS הוא שניתן לחבר בין ה-source והמצע על ידי סימום עמוק מסוג p. חיבור זה חוסך חיווט בין המצע וה-source אשר מוסיף השראות פרזיטית למעגל. מסיבה זו, טרנזיסטורים מסוג LDMOS יכולים לפעול במהירות גבוהה יותר.