

הרצאה 9: זיכרונות עמידים - Nonvolatile memories

בהרצאה זו נעסוק בזיכרונות המבוססים על התקנים מוליכים למחצה. ניתן לסווג זיכרונות לשני סוגים על פי היכולת של ההתקנים לשמור על המצב שלהם גם ללא הפעלת מתח. זיכרונות אשר מסוגלים לשמור על המצב שלהם מכונים זיכרונות עמידים, וזיכרונות אשר אין ביכולתם לשמור על המצב שלהם מכונים זיכרונות לא עמידים (Volatile and nonvolatile memories). איור 1 הוא תרשים אשר מתאר את סיווג הזיכרונות השונים. נסביר בקצרה מהו כל אחד מהזיכרונות שבתרשים ומה ההבדל בין RAM ו-ROM. RAM-Random access memory הוא זיכרון אשר לכל אחד מהתאים שלו יש כתובת המאפשרת לגשת אליו באופן ישיר לצורך כתיבה וקריאה. כמו כן, מהירות הכתיבה והקריאה לא תלויה במיקום הפיזי של התא בזיכרון. זאת בניגוד לזיכרון מגנטי בו קצב הקריאה והכתיבה תלויים במיקום הפיזי של התא בזיכרון. כעקרון, גם בזיכרון שאיננו ניתן לכתיבה מחדש, כמו ROM (Read only memory) יש גישה נפרדת לכל אחד מהתאים, שכן הארכיטקטורה שלהם ומנגנון הקריאה דומה. עם זאת, פותחו מנגנונים למחיקה וכתיבה מחדש גם של ה-ROM. על כן, ההבדל העקרוני בין ROM ל-RAM הוא בתדירות ובקצב של הכתיבה והמחיקה שלהם. בזיכרונות RAM תדירות הכתיבה והקריאה יכולים להיות כמעט זהים. לעומת זאת, בזיכרונות ROM, יש בדרך כלל הרבה יותר אירועי קריאה מאשר כתיבה. גם ברכיבי ROM יש מגוון רחב של מנגנוני כתיבה, מרכיבי ROM טהורים אשר אין להם יכולת כתיבה כלשהי, ועד EEPROM אשר ניתן לכתיבה מספר רב של פעמים. מאחר ו-ROM הוא קטן וזול יותר מ-RAM, משתמשים בו במקרים שבהם לא נדרש לכתוב לזיכרון באופן תדיר.

נתאר בקצרה את סוגי הזיכרונות שמופיעים באיור 1.

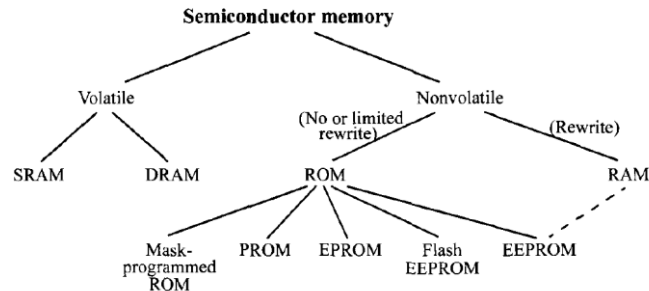
Masked Programmed ROM - זיכרונות בהם המידע נקבע על ידי היצרן ולא ניתן לתכנות לאחר מכן. לפעמים זיכרונות אלו מכונים פשוט ROM.

Programmable ROM (PROM) - לפעמים מכונה Field programmable ROM או Fusible-link ROM. החיבוריות של המערכים בזיכרון זה נעשית על ידי נתיכים (fuse). ההבדל בין זיכרון זה לבין ה-ROM שראינו קודם הוא שזיכרון זה ניתן לתכנות לאחר הייצור שלו בעזרת מכשיר יעודי, ולא נדרש לתכנות אותו בזמן הייצור עצמו.

EPROM - Electrically programmable ROM - בזיכרונות אלו, התכנות נעשה בעזרת הזרקה של אלקטרונים חמים או מניחור של אלקטרונים אל תוך שער צף (floating gate). כתיבה להתקנים אלו דורשים הפעלת מתח גם על שער הבקרה וגם על ה-drain. ניתן למחוק את הזיכרון כולו (ולא כל תא בנפרד) על ידי חשיפה לאור אולטרא סגול, או קרינת רנטגן. לא ניתן למחוק חלקים מהזיכרון.

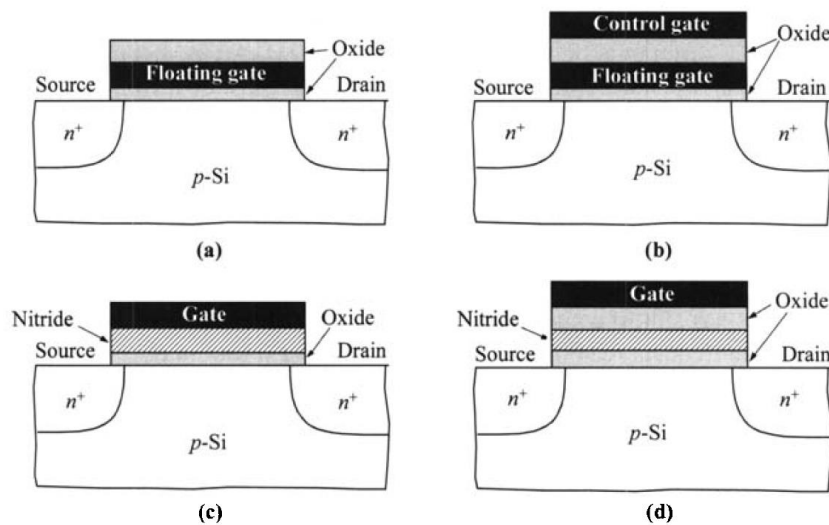
Flash EEPROM - התקן זיכרון זה ניתן למחיקה באופן חשמלי. עם זאת המחיקה היא של אזורים שלמים כך שלא ניתן למחוק תאים בודדים. בזיכרון זה כל תא עשוי מטרנזיסטור בודד. על כן, הוא מהווה "פשרה" בין זיכרון ה-EPROM וזיכרון ה-EEPROM אשר ניתן לתכנות באופן מלא. בשנים האחרונות זיכרונות flash נעשו מאוד פופולאריים כזיכרונות להתקנים ניידים וכתחליפים לכוננים קשיחים מגנטיים.

EEPROM - Electrically erasable/programmable ROM - זיכרון זה ניתן לתכנות חוזר והכתיבה יכולה להיעשות לכל Byte בנפרד. על מנת למחוק מידע באופן סלקטיבי, נדרש טרנזיסטור select לכל תא כך שזהו זיכרון הבנוי משני טנזיסטורים. מסיבה זו הוא פחות פופולרי מ-Flash EEPROM.



איור 1: תרשים סיווג זיכרונות.

זיכרונות עמידים בנויים בדרך כלל מטרנזיסטור MOSFET עם שער אשר ניתן לכלוא בתוכו מטען. מאז שהזיכרון הראשון בגישה הזאת הוצע בשנת 1967, נבנו התקני זיכרון בעלי מבנים שונים ונעשה בהם שימוש רב במוצרים מסחריים. ניתן לחלק את התקני הזיכרון לשתי קבוצות- התקני כליאת מטען (charge trapping devices), והתקני שער צף (Floating gate devices). איור 2 מציג באופן מקורב את המבנה של כמה טרנזיסטורים מסוג זה. בכל סוגי הטרנזיסטורים, מטען אשר מוזרק ממצע הסיליקון דרך שכבת תחמוצת ראשונה, נאגר בשער הצף או בממשק בין שכבת התחמוצת ושכבת הנטריד. המטען האגור גורם להגדלה של מתח הסף. "קריאה" של מצב הזיכרון נעשית על ידי הפעלה של מתח שער הנמצא בין שני ערכי מתח הסף. כך, במידה והוזרק מטען אל השער הצף, המתח המופעל על השער יהיה נמוך ממתח הסף הגובה ולא תהיה הולכת בטרנזיסטור. זהו מצב לוגי "0". לעומת זאת, אם אין מטען כלוא הולכה מתאפשרת וזהו מצב לוגי "1". נהוג לכנות את הזרקת המטען מהמצע "תכנות" (מתח סף גבוה) ואת הוצאת המטען "מחיקה" (מתח סף נמוך יותר). התקן זיכרון מתוכנן היטב יכול לשמור את המטען שלו מעל 100 שנה. על מנת למחוק את המצב (להחזיר את מתח הסף לרמתו הנמוכה) יש להפעיל מתח (או הארה באור אולטרה-סגול) אשר יסלק את המטען הכלוא.



איור 2: התקני זיכרון שונים. (a) טרנזיסטור FAMOS, (b) stacked gate transistor, (c) טרנזיסטור NMOS, (d) טרנזיסטור SONOS.

התקני שער צף

בהתקני זיכרון עם שער צף, מטען מוזרק אל השער הצף על מנת לשנות את מתח הסף של הטרנזיסטור. המנגנונים להזרקת המטען הם נשאי מטען חמים, או מינהור. איור 3a מתאר את מנגנון הטעינה בעזרת הזרקה של נשאי מטען חמים. נשאי המטען בתעלה (במקרה הזה אלקטרונים) צוברים אנרגיה כתוצאה מהשדה החשמלי בין ה-Source וה-drain. כאשר האנרגיה שלהם גבוהה מגובה המחסום בממשק בין המצע והתחמוצת, הם מוזרקים אל תוך השער הצף. השדה החשמלי החזק גורם גם ל-impact ionization. נשאי המטען שנוצרים בתהליך זה יכולים גם כן להיות מוזרקים אל תוך השער הצף. הזרקת הנשאים החמים גורמת לזרם שער (ראו הרצאה 7). זרם שער זה מגיע לשיא

כאשר מתח השער הצף V_{FG} שווה בערך למתח ה- drain. ניתן להזריק נשאי מטען לשער הצף גם באמצעות מנגנון המבוסס על תהליך מפולת. עם זאת, מנגנון זה פחות יעיל ועל כן יותר לא נעשה בו שימוש בהתקנים מסחריים.

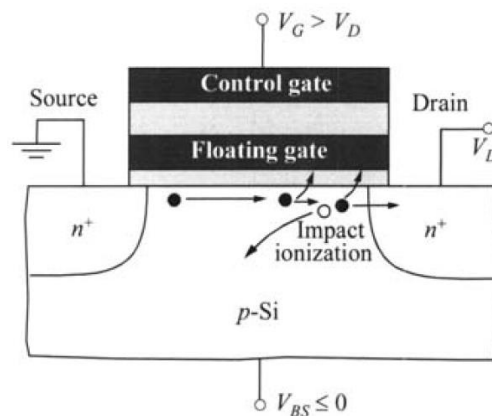
בנוסף לנשאי מטען חמים, ניתן להזריק מטען אל השער באמצעות מינהור. במצב תכנות זה, יש חשיבות קריטית לשדה החשמלי בשכבת התחמוצת התחתונה. כאשר מופעל מתח V_G חיובי על שער הבקרה, נוצר שדה חשמלי בשתי שכבות המבודד (ראו איור b2). מתוך חוק גאוס, אנו יודעים כי:

$$\epsilon_1 \mathcal{E}_1 = \epsilon_2 \mathcal{E}_2 + Q \quad (1)$$

כמו כן,

$$V_G = V_1 + V_2 = d_1 \mathcal{E}_1 + d_2 \mathcal{E}_2 \quad (2)$$

כאשר סימון התחתית 1 ו-2 מציין את שכבת התחמוצת התחתונה והעליונה בהתאמה, ו- Q הוא סך כל המטען השלילי שנצבר בשער הצף. מתוך משוואות (1) ו-(2) נקבל כי:



איור 3: צבירת מטען בשער הצף באמצעות נשאי מטען חמים בתעלה ו- impact ionization.

$$\mathcal{E}_1 = \frac{V_G}{d_1 + d_2 \frac{\epsilon_1}{\epsilon_2}} + \frac{Q}{\epsilon_1 + \epsilon_2 \frac{d_1}{d_{21}}} \quad (3)$$

תנועת המטען בתוך מבודדים בדרך כלל מושפעת באופן משמעותי מהשדה החשמלי במבודד. כאשר מנגנון ההולכה הוא מינהור, ניתן לכתוב את הזרם כך:

$$J = C_4 \mathcal{E}_1^2 \exp\left(-\frac{\mathcal{E}_0}{\mathcal{E}_1}\right) \quad (4)$$

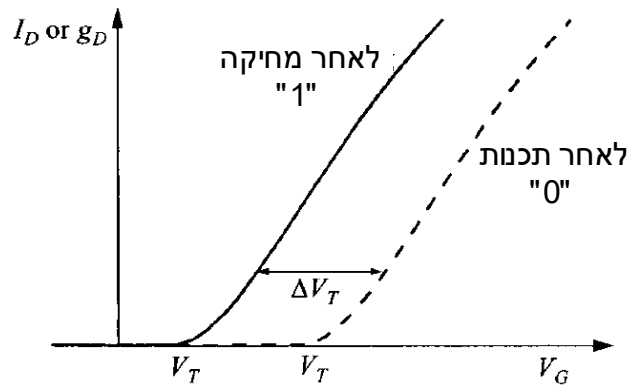
כאשר C_4 ו- $\mathcal{E}_0$ הם קבועים התלויים במסה האפקטיבית וגובה מחסום הפוטנציאל. מנגנון ההולכה זה מתרחש ב- SiO_2 וב- Al_2O_3 . בשני ממנגנוני הזרקת המטען, סך כל המטען האגור בשער הצף, Q , הוא האינטגרל בזמן של זרם נשאי המטען המוזרק. כתוצאה ממטען זה, ישנה הזזה של מתח הסף של הטרנזיסטור:

$$\Delta V_T = -\frac{d_2 Q}{\epsilon_2} \quad (5)$$

ניתן למדוד השינוי במתח הסף באופן ישיר בעזרת בניית עקומות של I_D כתלות במתח השער כמתואר באיור 4. ניתן למדוד את השינוי במתח הסף גם מתוך ההולכה של ה- drain. השינוי במתח הסף גורר גם שינוי בהולכת התעלה g_D . עבור מתחי drain נמוכים, הולכת התעלה מקיימת:

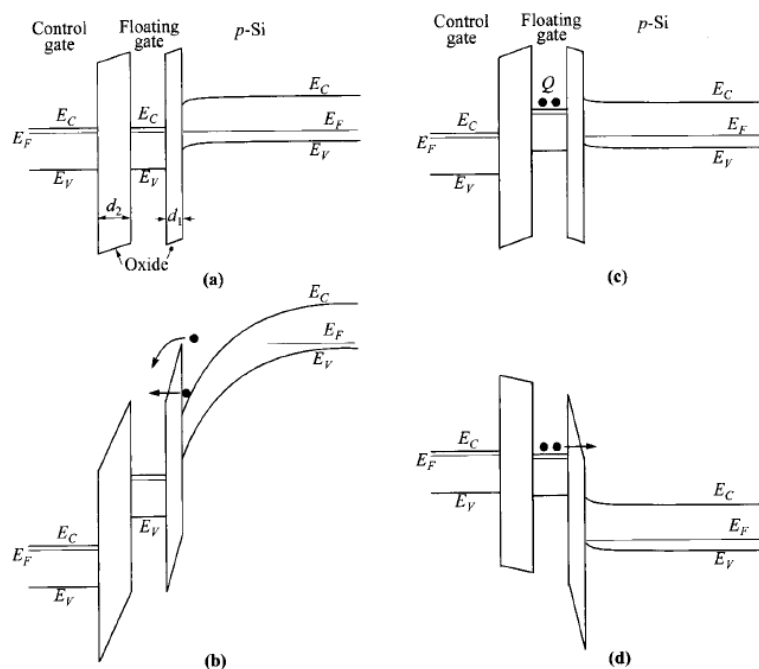
$$g_D = \frac{I_D}{V_D} = \frac{Z}{L} \mu C_{ox} (V_G - V_T) \quad V_G > V_T \quad (6)$$

על כן, שינוי של Q בכמות המטען בשער הצף (המטען Q שלילי), יגרור הזזה ימינה של עקומת ה- g_D בשיעור של ΔV_T .



איור 4: זרם ה- drain בטרנזיסטור *Stacked gate n channel*. ניתן להבחין בשינוי במתח הסף בין מצב 0 ל- 1.

על מנת למחוק את המטען האגור, מופעל ממתח שלילי על שער הבקרה או ממטח חיובי על ה- source או drain. זהו תהליך הפוך לתהליך המינהור שראינו קודם שכן האלקטרונים שנאגרו בשער הצף עוברים מינהור חזרה אל המצע. איור 5 מציג דיאגרמות פסים המתארות את תהליך התכנות והמחיקה של טרנזיסטור עם שער צף. באיור a5, הטרנזיסטור נמצא במצב התחלתי, לא אגור בו מטען ולא מופעל עליו מתח. איור b5 מתאר את הזרקת נשאי המטען אל השער הצף, אם באמצעות מינהור דרך המחסום או על ידי אלקטרונים חמים שעוברים מעליו. איור c5 מציג את הטרנזיסטור כאשר אגור בו מטען. כתוצאה מהמטען האגור ישנה שכבת אקומולציה בממשק בין המל"מ והתחמוצת הגורמת להגדלה של מתח הסף. איור d5 מתאר את פעולת המחיקה בה נשאי מטען מוזרקים מהשער הצף אל המצע באמצעות מינהור.



איור 5: דיאגרמות פסים של זיכרון עם שער צף במצבים שונים. (a) מצב התחלתי, (b) בזמן כתיבה, (c) כאשר אגור בשער הצף מטען, (d) בזמן מחיקה.

כאשר מטען מוזרק אל השער הצף, או מוזרק מהשער הצף אל המצע, חשוב לקבוע באופן יעיל את מתח השער הצף על ידי המתח המופעל על שער הבקרה. פרמטר חשוב בהתקנים אלו הוא יחס הצימוד אשר קובע את החלק של מתח שער הבקרה אשר מצומד לשער הצף על ידי יחס הקיבולים:

$$R_{CG} = \frac{C_2'}{C_1' + C_2'} \quad (7)$$

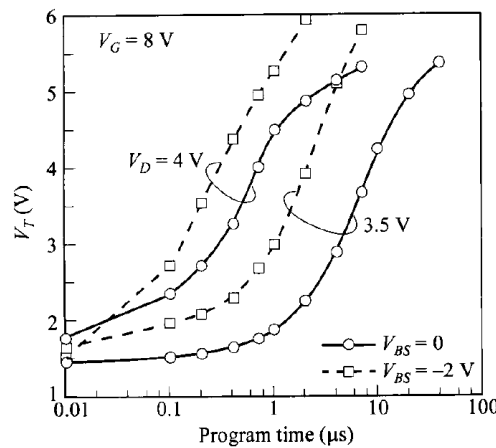
הקיבולים C_1' ו- C_2' הם סך כל הקיבולים המשותפים לשכבת המבודדים התחתונה והעליונה בהתאמה. חשוב לציין כי בהתקנים אמתיים השטח של שער הבקרה וזה של השער הצף לא יהיו זהים. בדרך כלל, שער הבקרה יעטוף את השער הצף כך שהשטח של הקבל העליון יהיה גדול יותר (בניגוד לדיאגרמות המקורבות שבאיור 2 ואיור 3).

$$V_{FG} = R_{CG} V_G \quad (8)$$

בהתקנים רבים שכבת התחמוצת התחתונה תהיה בערך בעובי של 80 אנגסטרם, ואילו עובי שכבת המבודד העליונה הוא כ- 140 אנגסטרם. השטח הגדול יותר של רכיב הקיבול העליון מפצה על הקיבול המשטחי הקטן יותר (בגלל עובי התחמוצת הגדול יותר). כתוצאה מכך יחס הצימוד יהיה בדרך כלל בין 0.5 ל-0.6.

התקן ה EPROM הראשון היה בנוי עם פולי-סיליקון מסומם חזק בתור שער צף. המבנה שלו דומה לזה המתואר באיור a2. ההתקן המתואר באיור 3b מכונה זיכרון Floating gate avalanche injection MOS (FAMOS). שכבת הפולי סיליקון בנויה בתוך התחמוצת כך שהיא מבודדת חשמלית מהסביבה שלה. על מנת להזריק מטען אל תוך השער, מופעל מתח על צומת ה- drain עד להגעה למצב של מפולת (avalanche breakdown) וחורים הנוצרים במפולת הזו מוזרקים מה- drain אל תוך השער הצף. נציין כי בהתקנים כאלו בדרך כלל מבוססים על טרנזיסטורים עם תעלה מסוג p בה מוזרקים אלקטרונים חמים אל השער הצף ולא חורים חמים כמתואר באיור. שינוי זה נעשה על מנת להקל על ההשוואה בין ההתקנים. על מנת למחוק את הזיכרון בטרנזיסטור FAMOS, יש להאיר אותו באור אולטרה-סגול או בקרינת רנטגן. לא ניתן למחוק אותו חשמלית שכן אין לו שער חיצוני.

ההתקן הנפוץ ביותר המאפשר תכנות ומחיקה חשמליים כולל שער כפול עשוי פולי-סיליקון כמתואר באיור 3b. המתח המופעל על שער הבקרה מאפשר "מחיקה" של תא הזיכרון, וכן משפר את יעילות הכתיבה אל התאים. איור 6 מציג דוגמא לשינויים בזמן בעת תהליך הכתיבה לזיכרון המבוסס על הזרקת אלקטרונים חמים.



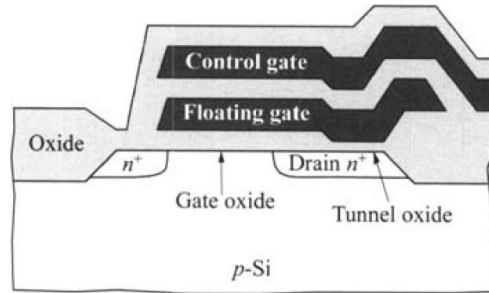
איור 6: תכנות של זיכרון עם שער צף באמצעות אלקטרונים חמים.

בהתקני EEPROM מקובל יותר להשתמש במנגנוני מינהור בכדי לכתוב לזיכרון. התקן בשם טרנזיסטור FLOTOX (floating gate tunnel oxide) תוחם את תהליך המינהור לאזור קטן ליד ה- drain כמתואר באיור 7. השינויים במתח הסף כתלות בזמן התכנות והמחיקה מוצגים באיור 8.

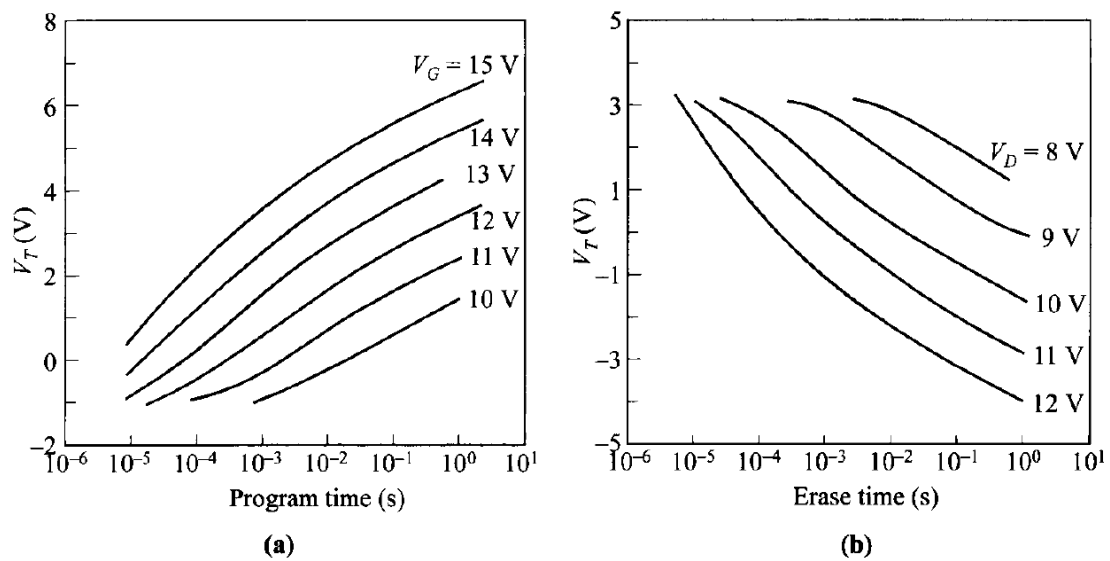
לאחר תכנות הזיכרון, חשוב מאוד שהמטען יישמר בו לזמן רב. זמן החזקת המטען (retention time, t_R) מוגדר כמשך הזמן שבו כמות המטען האגור יורדת ב- 50% מערכה ההתחלתית:

$$t_R = \ln \frac{(2)}{v \exp\left(\frac{q\phi_B}{kT}\right)} \quad (9)$$

כאשר v היא תכונת חומר (תדירות הרילקסציה הדיאלקטרית), ϕ_B הוא גובה המחסום בין השער הצף ושכבת התחמוצת. זמן ההחזקה מאוד רגיש לטמפרטורה. זמני החזקה אופייניים עבור טמפרטורה של 125°C ו 170°C וגובה מחסום של 1.7eV הם בערך 100 שנים ושנה אחת בהתאמה.

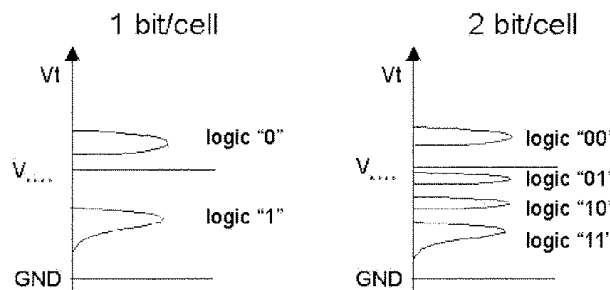


איור 7: המבנה של טרנזיסטור FLOTOX אשר עושה שימוש במינהור לכתיבה ולמחיקה.

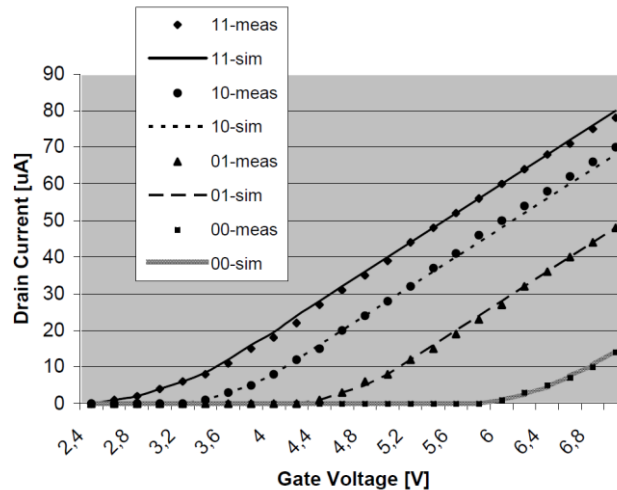


איור 8: עקומות זמני כתיבה ומחיקה עבור התקן זיכרון מסוג FLOTOX.

על מנת להגדיל את כמות המידע שניתן לאחסן בהתקן זיכרון, ישנם זיכרונות בהם כל לכל טרנזיסטור יש כמה רמות. בהתקנים אלו, מגודרות כמויות שונות של מטען אשר מגדירות כמה מתחי סף שונים לטרנזיסטור כפי שמודגם באיור 9. על מנת למנוע שגיאות בקריאה וכתיבה של מצבים, נדרש דיוק גבוה מאוד בכמות המטען שמוזרק אל השער הצף בעת תהליך הכתיבה. איור 10 הוא דוגמא לעקומות זרם ה- drain כתלות במתח השער עבור טרנזיסטור שער צף הבנוי לשמור שני ביט של מידע.



איור 9: רמות מתח סף בטרנזיסטור שער צף עם ביט אחד לתא, ושתי ביטים לתא (מתוך: Pavan, Floating Gate Devices: Operation and Compact Modeling)

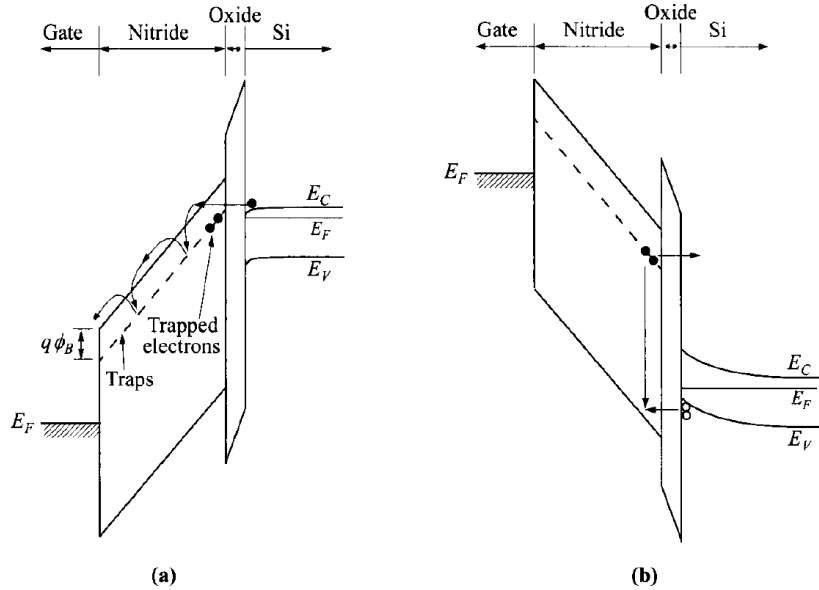


איור 10: עקומות זרם ה-*drain* כתלות במתח השער עבור טרנזיסטור המאפשר שמירה של שני ביט בכל תא זיכרון (מתוך Pavan, Floating Gate Devices: Operation and Compact Modeling)

התקני כליאת מטען

טרנזיסטור MNOS

טרנזיסטור MNOS- metal nitride oxide silicon הוא התקן בו שכבת הסיליקון ניטריד עוזרת ללכוד אלקטרונים אשר עוברים את התחמוצת במנהור. אלקטרונים אלו נלכדים במצבים אשר נמצאים קרוב לממשק בין תחמוצת הסיליקון והסיליקון ניטריד. במקרה הזה, תפקיד שכבת התחמוצת הוא ליצור ממשק טוב ללא פגמים בסיליקון ולמנוע מנהור חזרה של מטען הכלוא בין שכבת התחמוצת והניטריד ועל ידי כך לאפשר החזקת מטען טובה יותר. עובי שכבת התחמוצת נקבע על ידי פשרה בין זמן החזקת המטען, והמתח והזמן הדרושים לתכנות הזיכרון. איור 11 מציג דיאגרמות פסים של תהליכי התכנות והמחיקה בטרנזיסטור MNOS. בתהליך התכנות, מתח חיובי גבוה מופעל על השער. הולכת זרם היא באמצעות אלקטרונים אשר נפלטים מהמצע אל השער. מנגנון ההולכה בשני השכבות הדיאלקטריות שונה מאוד ויש להתייחס אליהן כשני רכיבים המחוברים בטור. בדומה להתקנים הקודמים, מעבר אלקטרונים דרך שכבת התחמוצת נעשה באמצעות מנהור. נשים לב כי בגלל מבנה הפסים של ההתקן, המינהור הוא דרך מחסום טרפזי (שכבת התחמוצת) ואחריו עוד מחסום פוטנציאל משולש (האזור בשכבת הניטריד הקרוב לתחמוצת). מנהור זה מכונה Modified Fowler-Nordheim tunneling (מינהור Fowler-Nordheim הוא תהליך מינהור בו מופעל מתח אשר מנמיך חלק ממחסום הפוטנציאל ועל ידי כך ומקצר אותו. תהליך זה מוביל לתופעה שנקראת Field emission- פליטת אלקטרונים כתוצאה מהפעלת שדה חשמלי). ניתן להראות כי במצב זה, הזרם דרך שכבת התחמוצת, J_{ox} , מקיים:



איור 11: כתיבה לזיכרון MNOS. (a) תכנות: אלקטרונים עוברים מינהור דרך שכבת התחמוצת ונלכדים בשכבת הניטרید. (b) מחיקה: מינהור של אלקטרונים כלואים וחורים העוברים מינהור דרך שכבת התחמוצת ומנטרלים את האלקטרונים הכלואים.

$$J_{ox} = C_5 \varepsilon_{ox}^2 \exp\left(-\frac{C_6}{\varepsilon_{ox}}\right) \quad (10)$$

כאשר ε_{ox} מסמן את השדה בתוך שכבת התחמוצת ואילו C_5 ו- C_6 הם קבועים. הזרם דרך שכבת הניטרید נקבע על ידי מנגנון בשם Frenkel-Poole transport. הולכת מטען זו מתרחשת באמצעות מעבר של אלקטרונים בין מצבים בפס האסור לפס ההולכה לפרקי זמן קצרים כמתואר באיור 11a. הזרם דרך שכבת הניטרید, J_n , הוא מהצורה:

$$J_n = C_7 \varepsilon_n \exp\left(-q \frac{\phi_B - \sqrt{\frac{q \varepsilon_n}{\pi \varepsilon_n}}}{kT}\right) \quad (11)$$

ε_n ו- ε_n הם השדה החשמלי בשכבת הניטרید והמקדם הדיאקלטרי שלה בהתאמה. ϕ_B מסמן את מיקום רמת המלכודות מתחת לתחתית פס ההולכה ($\approx 1.3\text{eV}$), ו- C_7 הוא קבוע השווה ל- $3 \times 10^{-9} \Omega\text{cm}^{-1}$.

מאחר וכל אלקטרון שמוזרק אל השער צריך לעבור את שני התהליכים, יש להתייחס אל שני מנגנוני ההולכה כאילו הם מחוברים בטור. על כן, הזרם יקבע על ידי המנגנון החלש מבין השניים. בתחילת תהליך הכתיבה ידוע כי המנהור יכול לספק זרם גבוה ועל כן מגבלת הזרם נוצרת על ידי ההולכה בשכבת הניטרید. כאשר מטען שלילי נצבר, השדה החשמלי בשכבת התחמוצת קטן וכתוצאה מכך זרם המינהור קטן עד לשלב שהוא הופך למנגנון המגביל את הזרם. איור 12 מציג עקומות אופייניות של מתח הסף של טרנזיסטור MNOS כתלות במשך התכנות והמחיקה. בשלב ראשון מתח הסף משתנה באופן ליניארי עם משך התכנות. לאחר מכן, התלות נהיית לוגריתמית ולבסוף ישנה רוויה. מהירות התכנות נקבעת באופן ניכר על ידי בחירה של עובי שכבת התחמוצת. כאשר שכבת התחמוצת דקה יותר, משך התכנות קצר יותר אך זמן ההחזקה של מטען נמוך יותר כתוצאה ממנהור של מטען חזרה אל המצע.

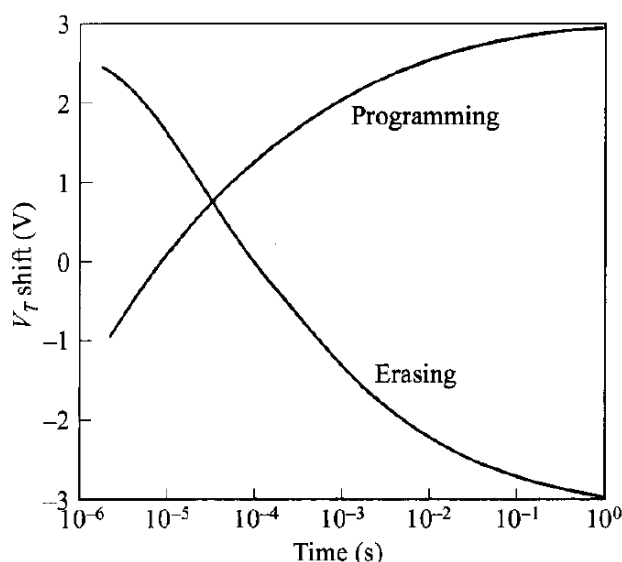
סך כל הקיבול של השער C_G הוא תצר של הקיבול של כל אחת מהשכבות אשר מחוברות בתור:

$$C_G = \frac{C_{ox} C_n}{C_{ox} + C_n} \quad (12)$$

כאשר $C_{ox} = \epsilon_{ox}/d_{ox}$ ו- $C_n = \epsilon_n/d_n$. סך כל המטען הכלוא בסמוך לממשק בין שכבות התחמוצות והניטריד, Q , תלוי ביעילות כליאת המטען בניטריד והוא פרופורציונלי לאינטגרל בזמן של הזרם דרך שכבת הניטריד. בדומה להתקנים הקודמים שניתחנו, השינוי במתח הסף של הטרנזיסטור הוא:

$$\Delta V_T = -\frac{Q}{C_n} \quad (13)$$

בתהליך המחיקה, מתח שלילי גבוה מופעל על השער כמתואר באיור 11b. שחרור המטען הכלוא מורכב מתהליך מנהור של אלקטרונים דרך שכבת התחמוצות חזרה אל המצע, ובנוסף, מנהור של חורים מהמצע דרך שכבת התחמוצות אשר גורמים לנטרול של האלקטרונים הכלואים. איור 12 מציג גם את מתח הסף של טרנזיסטור MNOS כתלות במשך זמן המחיקה.



איור 12: מתח הסף של טרנזיסטור MNOS כתלות בזמני התכנות והמחיקה.

היתרונות של טרנזיסטורי MNOS כוללים זמני תכנות ומחיקה סבירים ועל כן הם יכולים להיות מעמדים לשמש כזיכרון RAM עמיד (non-volatile RAM). בנוסף, מאחר ועובי שכבת התחמוצות בהתקנים אלו קטן יותר, ואין להם שער צף הם עמידים יותר בקרינה. החסרונות העיקריים של טרנזיסטורים אלו הם הצורך במתח גבוה לתכנות ומחיקה, וכן אי אחידות במתח הסף בין התקנים שונים. בנוסף, המעבר של זרם מנהור דרך ההתקן מגדיל את צפיפות המלכודות בפני השטח של המל"מ וכן לירידה ביעילות לכידת המטען בגלל מנהור של אלקטרונים חזרה לכיוון המצע. כתוצאה מכך לאחר מחזורי רבים של תכנות ומחיקה, יהיה צמצום של טווח מתחי הסף שניתן להגיע אליהם. בעיית האמינות המשמעותית ביותר בטרנזיסטורים אלו נובעת מאובדן מטען כתוצאה ממינהור של אלקטרונים חזרה לכיוון המצע דרך שכבת התחמוצות הדקה. יש לציין כי בטרנזיסטורי MNOS תהליכי התכנות והמחיקה נעשים דרך כל שטח התעלה ולא דרך אזור ייעודי לכך. הסיבה לכך היא שבטרנזיסטורים אלו אין שער צף מוליך אשר יוכל לפזר את המטען הכלוא בתוכו. בטרנזיסטורים עם שער צף ניתן ליצור אזור קטן בו שכבת התחמוצות דקה יותר, מאחר והשער הצף יפזר את המטען באופן אחיד ויצמצם הזרקה חזרה של מטען.

טרנזיסטורי SONOS

טרנזיסטורי SONOS- silicon oxide nitride oxide silicon, או כפי שהם נקראים MONOS-- metal oxide nitride oxide silicon, דומים לטרנזיסטורי MNOS למעט העובדה שיש להם שכבת תחמוצות נוספת אשר חוסמת מעבר מטען בין שכבת הניטריד והשער. עובי שכבת התחמוצות הנוספת דומה לעובי שכבת התחמוצות התחתונה. מטרת שכבה זו היא למנוע הזרקת מטען ממתכת השער אל שכבת הניטריד בזמן תהליך המחיקה. כתוצאה מכך, ניתן להשתמש בשכבת ניטריד דקה יותר המאפשרת להוריד את מתחי התכנות וכן לשפר את החזקת המטען. כיום טרנזיסטורים אלו מחליפים את טרנזיסטורי ה- MNOS אך עקרון הפעולה שלהם זהה.

סיכום

בהרצאה זו דיברנו על התקנים לזיכרון עמיד, רכיבים אשר שומרים על המצב שלהם גל מבלי שיוזרם אליהם הספק. התקנים אלו מבוססים ברובם על הזרקה של מטען אל שכבה בה הוא נכלא בין המצע ושער הבקרה. כתוצאה מכליאת מטען זו מתח הסף של הטרנזיסטור גדל. ניתן לומר כי במצב ביררת המחדל, כאשר אין מטען כלוא, הזיכרון במצב לוגי "1" ואילו כאשר יש מטען כלוא הוא במצב "0". קריאה מצב של הזיכרון נעשית על ידי הפעלת מתח שער בערך שנמצא בין מתח הסף כאשר אין כליאת מטען ומתח הסף כאשר יש מטען כלוא, ומדידה של ההולכה של הטרנזיסטור או של הזרם העובר בו.

מאחר והתקנים אלו תואמים את טכנולוגיית ה-CMOS, ניתן לשלב אותם על פרוסת סיליקון אחת יחד עם לוגיקה. שילוב זה משפר באופן משמעותי את ביצועי המערכת במונחים של מהירות וצריכת הספק. כתוצאה מכך, התקנים מסוג זה פופולאריים מאוד ומשמשים לזיכרון ה-Flash אשר בכוונים קשיחים במכשירים ניידים וכן לזיכרון עמיד בליבות מחשבים. בקורס מבוא ל-VLSI ניתן ללמוד כיצד מרכיבים ארכיטקטורות של זיכרונות Flash על באמצעות התקנים אלו.